



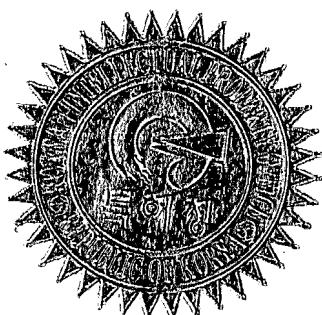
별첨 시본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0087887
Application Number

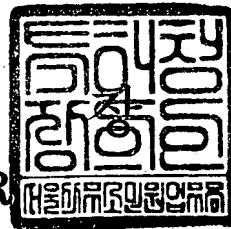
출 원 년 월 일 : 2002년 12월 31일
Date of Application DEC 31, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 28 일

특 허 청
COMMISSIONER



1020020087887

출력 일자: 2003/9/2

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002. 12. 31
【국제특허분류】	H01L
【발명의 명칭】	메모리 인터페이스에 적합한 동시 양방향 전송방식 (S B D)의 입출력 장치 및 이를 이용하는 전송방법
【발명의 영문명칭】	Simultaneous Bi-Directional Input output apparatus for memory interface and transmission method using the same

【출원인】

【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3

【대리인】

【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9

【대리인】

【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5

【발명자】

【성명의 국문표기】	김우섭
【성명의 영문표기】	KIM, Woo Seop
【주민등록번호】	641019-1055510
【우편번호】	150-041
【주소】	서울특별시 영등포구 당산동1가 448번지 15/6
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020020087887

출력 일자: 2003/9/2

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	5	면	5,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】			34,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

메모리장치의 낮은 대역폭(bandwidth)과 느린 레이턴시(latency)는 시스템 성능의 병목(bottleneck)이 된다. 이를 개선하기 위해서 SBD(simultaneous Bi-Directional ; 동시양방향 전송방식)를 메모리장치의 인터페이스로 사용될 예정이다. SBD를 사용하는 메모리장치의 데이터 전송능력을 향상시키기 위한 출력 드라이버는 오픈 드레인 형(open drain type)으로 구현하여 입력 커패시턴스 (Cin)를 작게 하였다. 입력 수신기(Input receiver)는 2개의 비교기(comparator)를 가지는 구조이며 2개의 기준전압 중 하나의 기준전압(Vrefm)은 $0.5 \times V_{swing}$ 으로 고정되고, 다른 기준전압(Vrefd)은 출력 데이터에 따라서 로우레벨 상태(Vl) 와 하이레벨 상태(Vh)로 변하는 구조이다. 개선된 구조에서는 입력 마진(input margin)과 선형도(linearity) 특성을 50% 향상시킬 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

메모리 인터페이스에 적합한 동시 양방향 전송방식(SBD)의 입출력 장치 및 이를 이용하는 전송방법{Simultaneous Bi-Directional Input output apparatus for memory interface and transmission method using the same}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 SBD 방식을 나타내는 도면이다.

도 2는 도 1에 도시된 종래의 SBD 방식의 동작을 나타내는 도면이다.

도 3은 도 1에 도시된 입력 수신기 및 출력 드라이버를 나타내는 도면이다.

도 4는 본 발명에 따른 SBD 방식을 나타내는 도면이다.

도 5는 도 4에 도시된 본 발명에 따른 SBD 방식의 동작을 나타내는 도면이다.

도 6은 도 4에 도시된 입력 수신기를 나타내는 도면이다.

도 7은 도 4에 도시된 VrefD generator의 예를 나타내는 도면이다.

도 8은 SBD 방식을 사용하는 메모리장치의 data 전송능력을 향상시키기 위한 output driver를 나타내는 도면이다.

도 9는 SBD를 사용하는 2개의 chip의 동작을 보여주는 시뮬레이션 결과이다.

도 10 및 도 11은 input receiver의 input margin 및 linearity 성능을 평가한 결과이다.

도 12 및 도 13은 input receiver 특성을 시뮬레이션한 환경 및 데이터 패턴을 나타낸다.

도 14 및 도 15는 C_{in} (input capacitance) 성능을 평가한 결과이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체장치에 관한 것으로, 특히 메모리 인터페이스에 적합한 동시양방향 전송방식(Simultaneous Bi-Directional, SBD)의 입출력 장치에 관한 것이다.

<15> 도 1은 종래의 SBD 방식을 나타내는 도면이고 도 2는 도 1에 도시된 종래의 SBD 방식의 동작을 나타내는 도면이다. 도 3은 도 1에 도시된 입력 수신기 및 출력 드라이버를 나타내는 도면이다.

<16> 종래의 SBD 방식은 도 1 내지 도 3에서 보는바와 같이 2개의 V_{ref} (V_{refh} , V_{refl})가 출력 데이터에 의해 선택되면서 입력데이터를 두개의 V_{ref} 중 하나와 비교하여 high 또는 low의 데이터를 판단한다. 구체적으로 설명하면 SBD의 동작은 네가지로 구분된다. 동작 mode는 출력의 high 또는 low, 입력의 high 또는 low 상태로 구분할 수 있다. 출력이 high 일 경우는 입력 데이터가 high 이면 channel 즉 입력 pad의 상태는 high 상태(V_h)를 가진다. 또한 만약 입력이 low이

면 pad는 데이터 high와 low의 중간의 상태(V_m)를 가진다. 이 경우는 데이터 swing의 0.75에 Vref를 두면 입력 데이터를 각각 0.25 swing margin을 가지면서 구분 할 수 있다.

<17> 반대로 출력이 low이면, 입력이 high인 경우는 pad에 중간상태(V_m)를 가지고, 입력이 low이면 pad는 low 상태(V_l)를 가지게 된다. 즉 middle과 low 상태를 가지게 된다. 따라서 이 경우에는 Vref를 0.25 swing에 놓으면 각각 0.25 swing 의 margin을 가지면서 데이터를 구분할 수 있다.

<18> 종래의 output driver는 Inverter type으로 input capacitance가 커서 동작 속도를 향상시키는데 제약을 가지고 있다. 위에서 설명한 SBD 버퍼를 이용하여 신호를 양방향으로 동시에 전달하는 방법은 설명한 것과 같이 채널의 bandwidth 나 칩의 PIN수 등 여러 면에서 효율적이다. 그러나, 결정적인 문제가 있다. 입력 신호를 읽기 위한 입력 신호의 noise margin이 2배 감소하게 된다.

【발명이 이루고자 하는 기술적 과제】

<19> 따라서 본 발명이 이루고자하는 기술적 과제는, Vref 구조를 변경하여 input margin을 향상시키고 또한 SBD 입출력 buffer의 input capacitance를 줄여서 동작 channel에서의 data margin을 향상시키는 동시 양방향 전송방식(SBD)의 입출력 장치를 제공하는 데 있다.

<20> 본 발명이 이루고자하는 다른 기술적 과제는, 상기 동시 양방향 전송방식 (SBD)의 입출력 장치에 사용되는 입력 수신기를 제공하는 데 있다.

<21> 본 발명이 이루고자하는 또 다른 기술적 과제는, 상기 동시 양방향 전송방식(SBD)의 입출력 장치를 이용하는 전송방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<22> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 동시 양방향 전송방식(SBD)의 입출력 장치는, 두 개의 기준전압을 이용하여 입력신호를 판단하고, 두 개의 기준전압중 한 개의 기준전압은 데이터 스윙(swing)의 중간레벨(middle level)로 고정되고, 두 개의 기준전압중 다른 한 개의 기준전압은 출력신호에 따라서 데이터 스윙 레벨의 하이(high)와 로우(low) 레벨로 변하고, 두 개의 기준전압과 출력 신호로 동시에 입력 신호를 판단하는 입력 수신기; 및 오픈 드레인 방식(open drain type)의 출력 드라이버를 구비하는 것을 특징으로 한다.

<23> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 동시 양방향 전송방식(SBD) 입출력 장치의 입력 수신기는, 두 개의 기준전압을 이용하여 입력신호를 판단하고, 두 개의 기준전압중 한 개의 기준전압은 데이터 스윙(swing)의 중간레벨(middle level)로 고정되고, 두 개의 기준전압중 다른 한 개의 기준전압은 출력신호에 따라서 데이터 스윙 레벨의 하이(high)와 로우(low) 레벨로 변하고, 두 개의 기준전압과 출력 신호로 동시에 입력 신호를 판단하는 것을 특징으로 한다.

<24> 상기 또 다른 기술적 과제를 달성하기 위한 본 발명에 따른 동시 양방향 전송방식(SBD)의 입출력 장치를 이용하는 전송방법은, 두 개의 기준전압을 이용하여 입력신호를 판단하는 단계; 두 개의 기준전압중 한 개의 기준전압을 데이터 스윙(swing)의 중간레벨(middle level)로 고정하는 단계; 두 개의 기준전압중 다

른 한 개의 기준전압을 출력신호에 따라서 데이터 스윙 레벨의 하이(high)와 로우(low) 레벨로 변화하는 단계; 및 두 개의 기준전압과 출력 신호로 동시에 입력신호를 판단하는 단계를 구비하는 것을 특징으로 한다.

<25> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<26> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<27> 도 4는 본 발명에 따른 SBD 방식을 나타내는 도면이고 도 5는 도 4에 도시된 본 발명에 따른 SBD 방식의 동작을 나타내는 도면이다.

<28> 본 발명에서는 두개의 기준전압(V_{ref})를 가지는 구조에서 한쪽 기준전압은 V_{refH} level($0.5*V_{swing}$)로 고정되어 있고, 다른 기준전압은 V_{refD} generator의 입력을 받는다. V_{refD} generator에서는 출력할 data에 따라서 기준전압 level을 틀리게 발생시킨다. 물론 V_{refD} 의 level 또한 다르게 정의한다. 종래의 기술에서 V_{refH} 는 $0.75*V_{swing}$ level로 정의되고, V_{refL} level은 $0.25*V_{swing}$ level로 정의 되고 있으나, 본 발명에서는 V_{refD} 의 level은 input data swing의 'high level'과 'low level'을 발생시킨다.

<29> 도 6은 도 4에 도시된 입력 수신기(Input receiver)를 나타내는 도면이다.

<30> Input receiver는 두개의 기준신호(V_{ref})를 사용하는 differential amp의 형태로 구성되어 있다. 두 개의 기준신호(V_{refM} , V_{refD})가 입력된 데이터 신호를 검출하기 위해서 두 기준 신호중의 하나의 기준 신호(V_{refM})는 고정되고, 다른 기준 신호는 출력 데이터에 따라서 변하게 되어 channel에서 입력되는 신호는 항상 차동 신호 전송과 동일한 효과를 갖게 된다.

<31> 이의 동작을 살펴보면, 입력 데이터가 low 상태이고 출력이 high 상태인 경우를 보면, output이 high이므로 V_{refD} 는 high data level을 갖게 되고, V_{refM} 은 middle level로 고정되어 있다. 이 때 input receiver(differential Amp의 형태)의 V_{refM} 과 Din 을 입력으로 사용하는 diff. amp는 channel(즉 pad)이 middle data level로 되므로, 즉 양쪽의 입력이 모두 V_{refM} 이므로 출력에 아무런 영향을 주지 않는다. 그러면 Din 과 V_{refD} ('high data level')를 입력으로 하는 diff. amp의 동작에 의해서 출력이 'low'로 나오게 된다.

<32> 입력 데이터가 high 상태이고 출력이 high 상태인 경우를 보면, output이 high이므로 V_{refD} 는 high data level을 갖게 되고, V_{refM} 은 middle level로 고정되어 있다. 이 때 input receiver(differential Amp의 형태)의 V_{refD} ('high data level')과 Din 을 입력으로 사용하는 diff. amp는 channel(즉 pad)이 high data state로 되므로, 즉 양쪽의 입력이 모두 V_{refD} 이므로 출력에 아무런 영향을 주지 않는다. 그러면 Din 과 V_{refM} ('middle data level')를 입력으로 하는 diff. amp의 동작에 의해서 출력이 'high'로 나오게 된다.

<33> 나머지 두개의 동작 mode, 즉 입력이 high, low이고 출력이 low일때도 마찬 가지이다. 위의 경우를 보면 모두 출력은 0.5 swing의 차이에 의해 판단되어진다. 즉 예전에 비해 0.25 swing이 개선이 된다.

<34> 도 7은 도 4에 도시된 VrefD generator의 예를 나타내는 도면이다. 도 7을 참조하면, 출력하는 data에 따라서 기준전압 level을 바꿔준다. 또한 기준전압의 transition을 빨리하기 위해서 boosting하는 회로를 추가하면 보다 효과적이다.

<35> 도 8은 SBD 방식을 사용하는 메모리장치의 data 전송능력을 향상시키기 위한 output driver를 나타내는 도면이다. 이 output driver는 open drain type으로 구현하여 Cin(input capacitance)를 작게 하였다. 동작 channel에서의 data margin을 향상시켰다.

<36> 도 9는 SBD를 사용하는 2개의 chip의 동작을 보여주는 시뮬레이션 결과이다.

<37> 도 9에서 첫 번째와 두번째 그림의 신호는 두 chip에서 출력하는 1GHz와 2GHz의 신호이다. 세 번째 그림은 두 chip에서 출력된 신호가 channel에서 합쳐진 상태를 보여 주고 있다. 이 신호는 두 chip의 input receiver의 입력(Din)이 된다. 또한 Vrefm은 channel의 middle level로 고정되어 있고, VrefD(예, chip #2의 VrefD)는 출력할 data에 따라서 high level과 low level로 변하게 된다.

<38> 네 번째와 다섯 번째 그림은 chip #1과 chip #2에서의 receiver의 출력 결과이다. chip #1의 receiver는 chip #2의 출력 결과와 동일한 신호를 검출하고,

chip #2 receiver는 chip #1의 출력 결과와 동일한 신호를 검출함을 알 수 있다.

여섯 번째 그림은 input receiver의 내부 신호의 파형을 보여 주고 있다.

<39> 아래의 표 1, 도 10 및 도 11은 input receiver의 input margin 및 linearity 성능을 평가한 결과이다. 본 발명의 input receiver와 종래 기술의 input receiver의 특성을 비교하였다. PVT(Process, Voltage, Temperature)와 input receiver의 입력(Din) level을 변화시키면서 input receiver의 출력의 변화(delay)를 평가하였다. 아래의 표 1의 결과와 같이 종래기술 대비 PVT 변화에 대한 input receiver의 출력특성은 최대 250ps에서 110ps로 감소함을 알 수 있다. 또한 input level을 400mV에서 50mV로 변화시킬 때 input receiver의 출력의 변화는 종래기술 대비 190ps에서 95ps로 감소됨을 알 수 있다. 따라서 전체적인 input margin과 linearity 성능은 50% 개선된다.

<40> 【표 1】

	PVT variation			Signal margin
	TT-SS	SS-FF	FF-TT	$\Delta V(400-50mV)$
종래기술	130 ps	250 ps	120 ps	190 ps
본 발명	55 ps	110 ps	55 ps	95 ps

<41> 도 12 및 도 13, 아래의 표 2는 input receiver 특성을 시뮬레이션한 환경 및 데이터 패턴을 나타낸다.

<42>

【표 2】

	Device #1	Device #1	Operation Region
Case 1	High data	2Gbps data	① - ②
Case 2	Low data	2Gbps data	② - ③
Case 3	2Gbps data	2Gbps data	① - ③
Case 4	/2Gbps data	2Gbps data	②

<43> 아래의 표 3, 도 14 및 도 15는 Cin(input capacitance) 성능을 평가한 결과이다. SBD을 사용하는 메모리장치의 data 전송능력을 향상시키기 Cin를 작게 할 수록 유리하다. 본 발명의 SBD I/O buffer(open drain type output driver와 본 발명의 input receiver)와 종래의 기술의 SBD buffer의 Cin(input capacitance)을 비교한 결과이다. 여러 가지 전압조건에 따라 가장 worst한 조건에 Cin의 약 47.5% 감소 됨을 알 수 있다. Cin이 감소된 만큼 channel에서의 data margin은 향상된다.

<44> 【표 3】

	ESD	PAD	Parasitic	Input receiver	Output Driver	Total
종래기술	250 fF	400 fF	350 fF	100 fF	800-1300 fF	1.90-2.40 pF
본 발명	250 fF	400 fF	350 fF	50 fF	210 fF	1.26 pF

<45> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된

것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<46> 상술한 바와 같이 본 발명에 따른 동시 양방향 전송방식(SBD)의 입출력 장치는, V_{ref} 구조를 변경하여 input margin을 향상시키고 또한 SBD 입출력 buffer의 input capacitance를 줄여서 동작 channel에서의 data margin을 향상시키는 장점이 있다.

【특허청구범위】**【청구항 1】**

동시 양방향 전송방식(SBD)의 입출력 장치에 있어서,
두 개의 기준전압을 이용하여 입력신호를 판단하고, 두 개의 기준전압중
한 개의 기준전압은 데이터 스윙(swing)의 중간레벨(middle level)로 고정되고,
두 개의 기준전압중 다른 한 개의 기준전압은 출력신호에 따라서 데이터 스윙 레
벨의 하이(high)와 로우(low) 레벨로 변하고, 두 개의 기준전압과 출력 신호로
동시에 입력 신호를 판단하는 입력 수신기; 및
오픈 드레인 방식(open drain type)의 출력 드라이버를 구비하는 것을 특징
으로 하는 동시 양방향 전송방식(SBD)의 입출력 장치.

【청구항 2】

동시 양방향 전송방식(SBD) 입출력 장치의 입력 수신기에 있어서,
두 개의 기준전압을 이용하여 입력신호를 판단하고,
두 개의 기준전압중 한 개의 기준전압은 데이터 스윙(swing)의 중간레벨
(middle level)로 고정되고,
두 개의 기준전압중 다른 한 개의 기준전압은 출력신호에 따라서 데이터
스윙 레벨의 하이(high)와 로우(low) 레벨로 변하고,
두 개의 기준전압과 출력 신호로 동시에 입력 신호를 판단하는 것을 특징으
로 하는 입력 수신기.

1020020087887

출력 일자: 2003/9/2

【청구항 3】

동시 양방향 전송방식(SBD)의 입출력 장치를 이용하는 전송방법에 있어서,

두 개의 기준전압을 이용하여 입력신호를 판단하는 단계;

두 개의 기준전압중 한 개의 기준전압을 데이터 스윙(swing)의 중간레벨
(middle level)로 고정하는 단계;

두 개의 기준전압중 다른 한 개의 기준전압을 출력신호에 따라서 데이터 스
윙 레벨의 하이(high)와 로우(low) 레벨로 변화하는 단계; 및

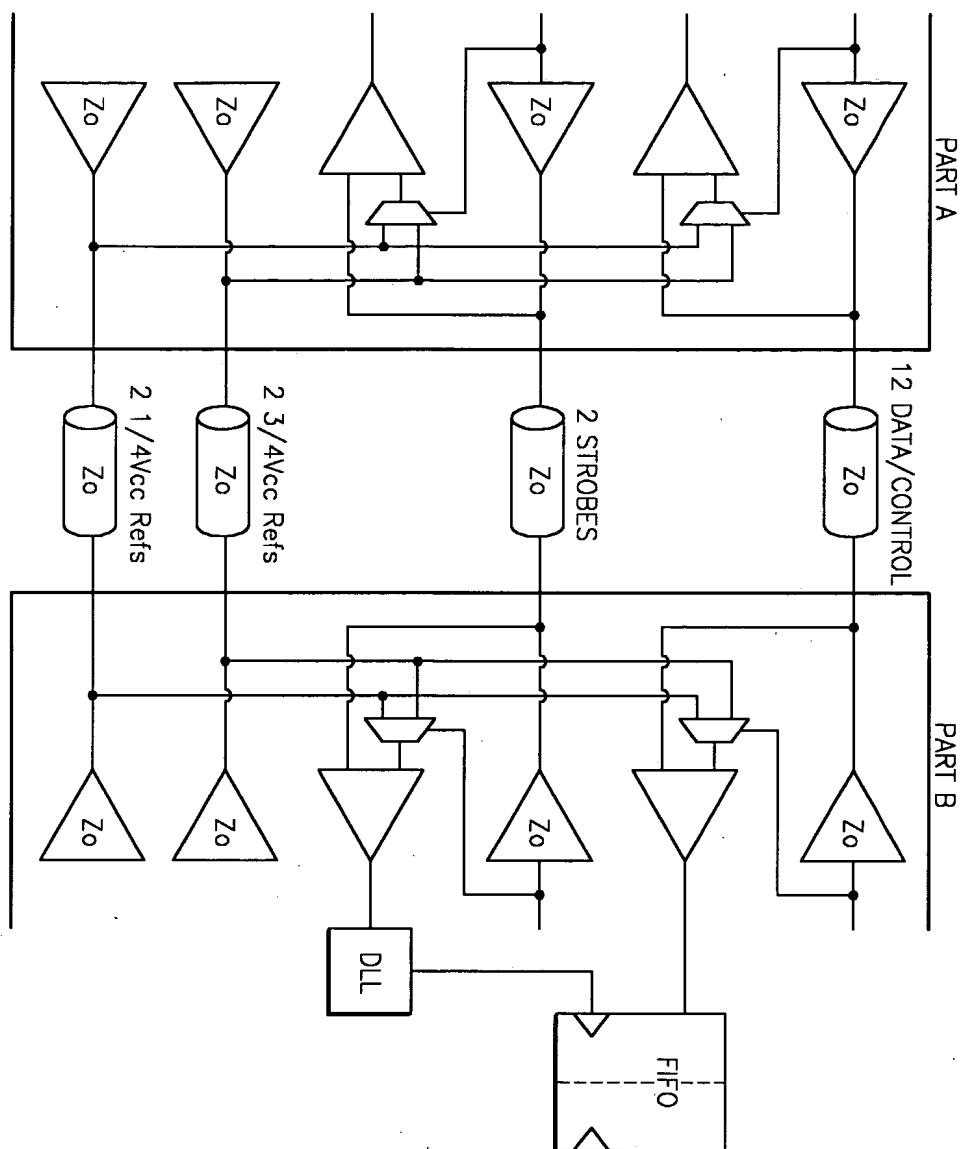
두 개의 기준전압과 출력 신호로 동시에 입력 신호를 판단하는 단계를 구비
하는 것을 특징으로 하는 전송방법.

1020020087887

출판 일자: 2003/9/2

【도면】

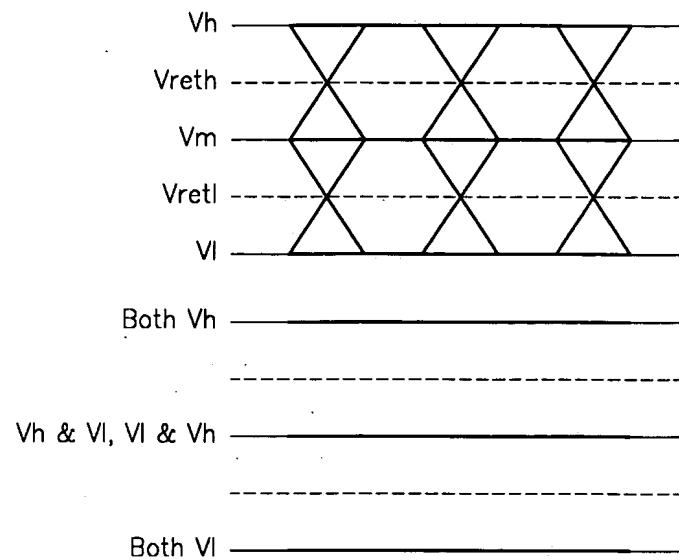
【도 1】



1020020087887

출력 일자: 2003/9/2

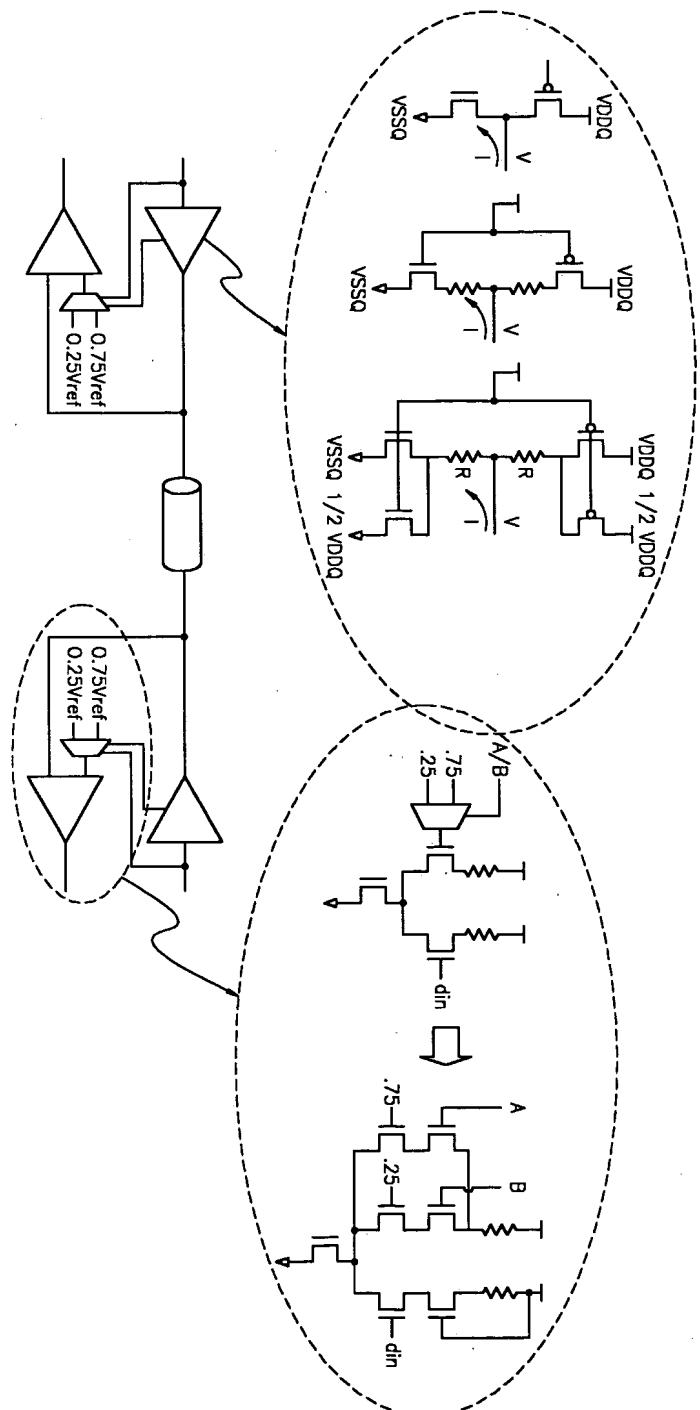
【도 2】



1020020087887

출력 일자: 2003/9/2

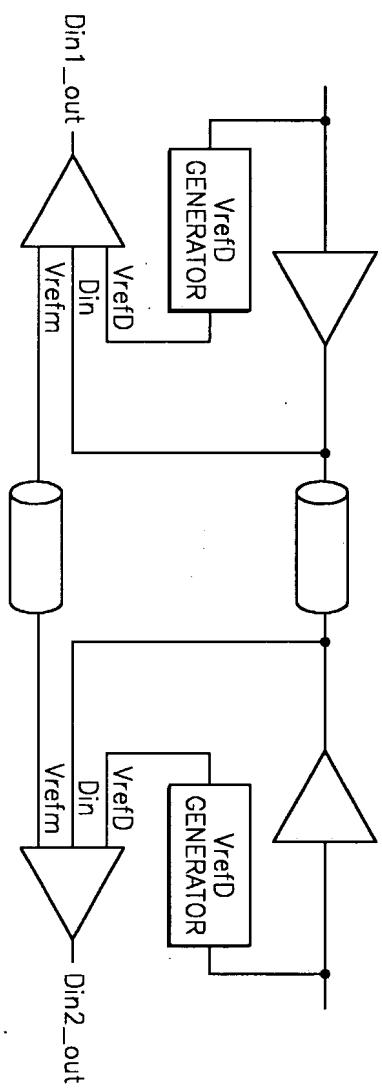
【도 3】



1020020087887

출 력 일자: 2003/9/2

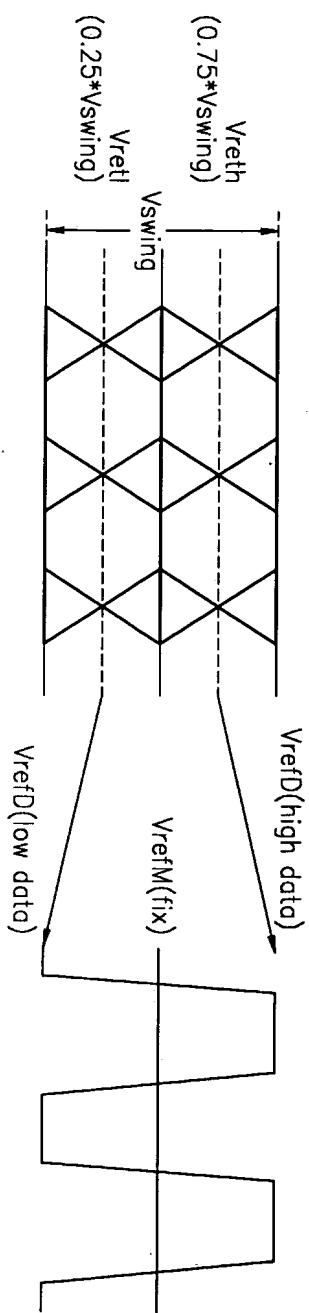
【도 4】



1020020087887

출 력 일자: 2003/9/2

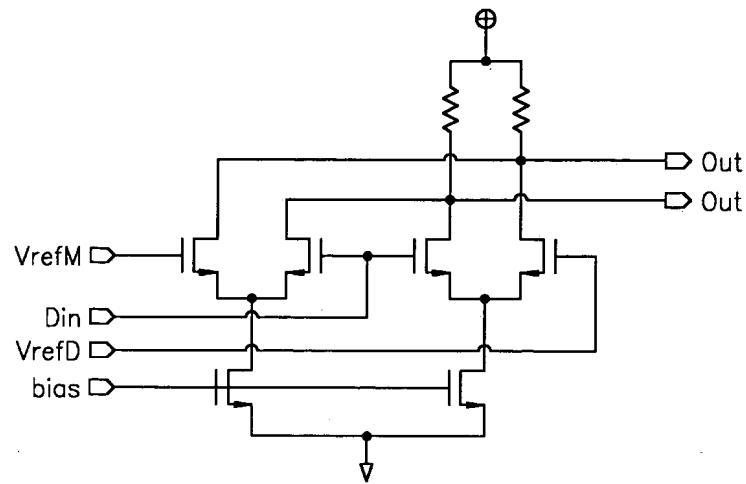
【**5**】



1020020087887

출력 일자: 2003/9/2

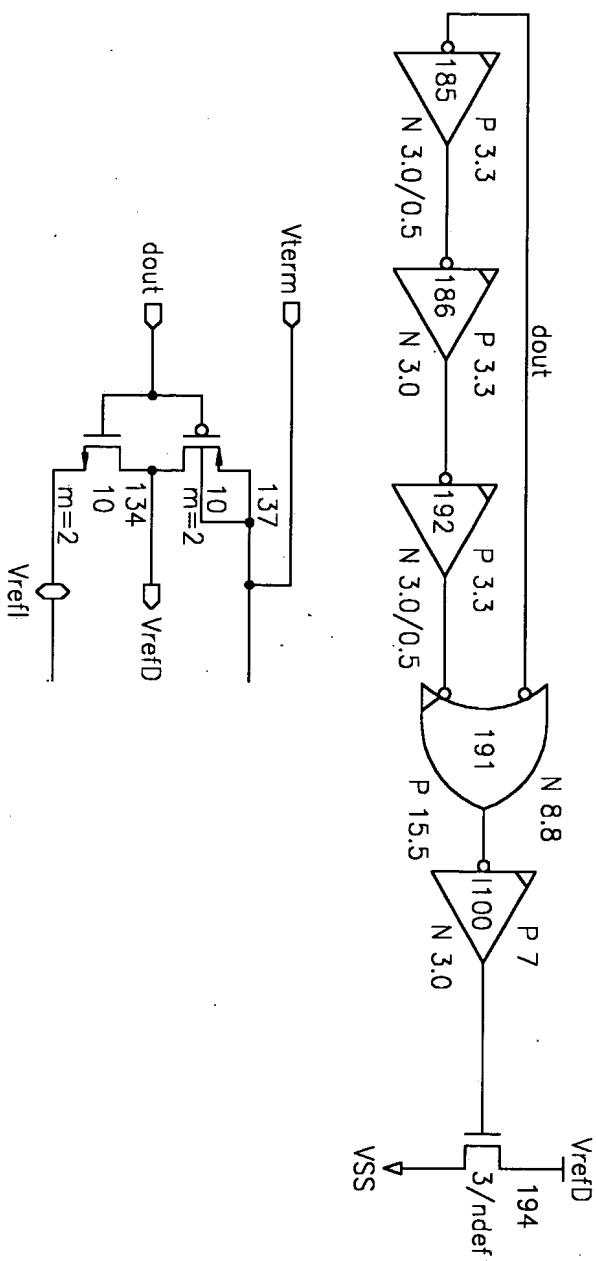
【도 6】



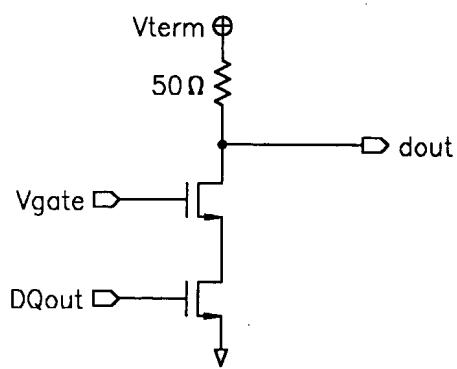
1020020087887

출력 일자: 2003/9/2

【도 7】



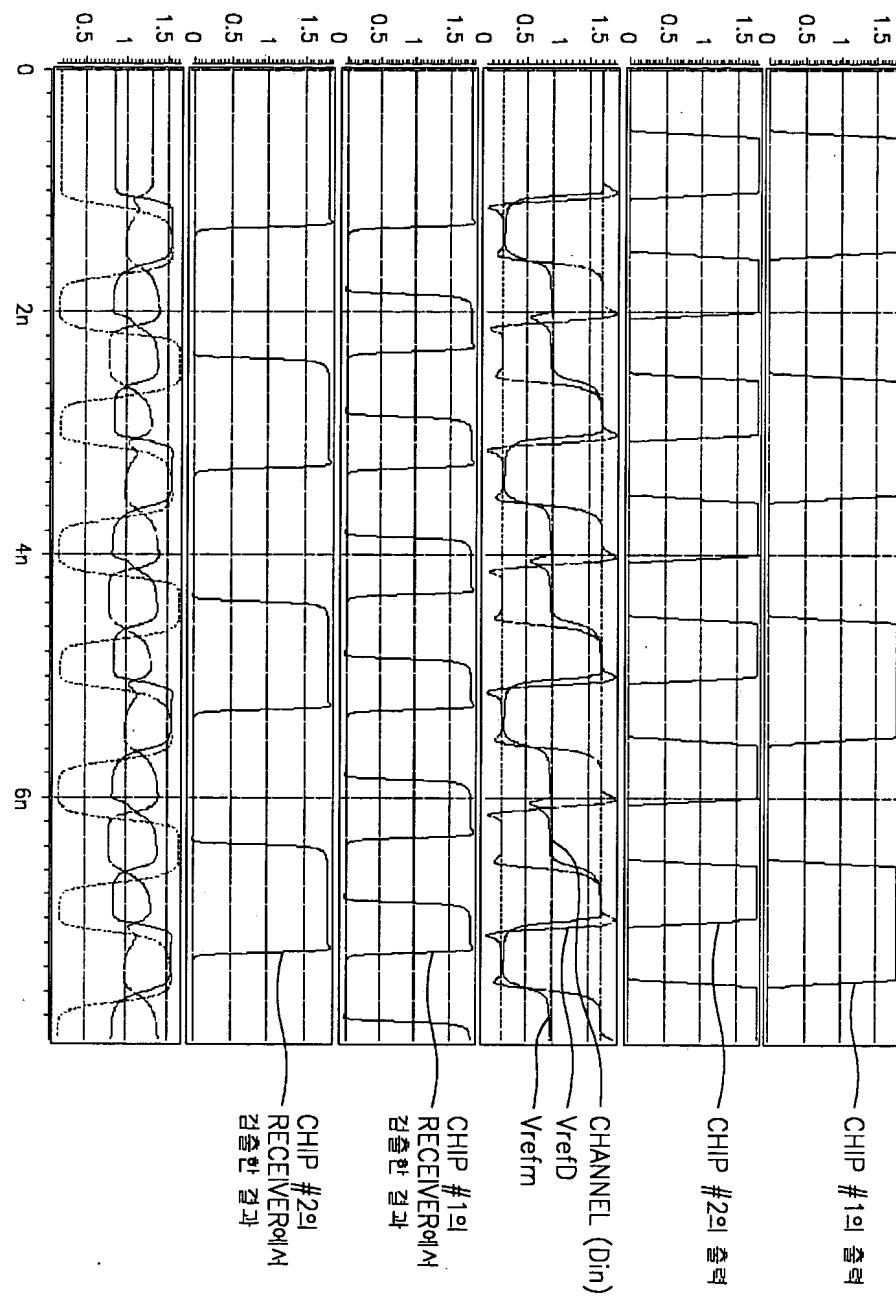
【도 8】



1020020087887

출력 일자: 2003/9/2

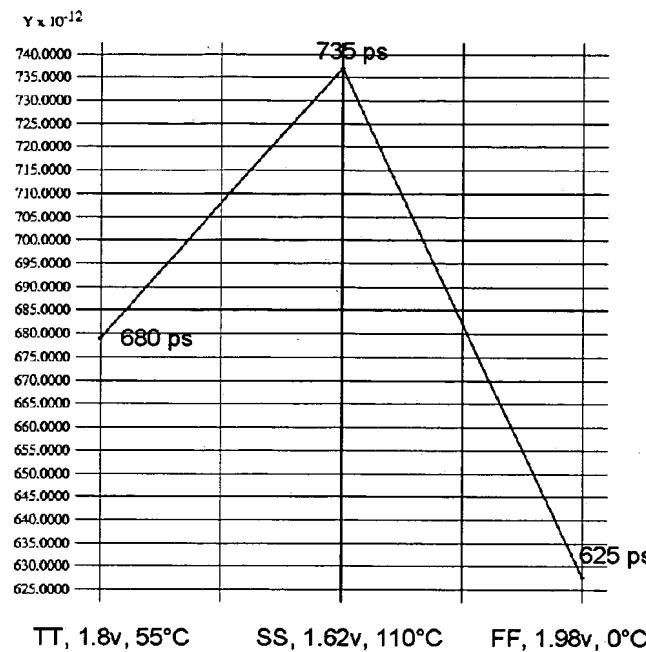
【도 9】



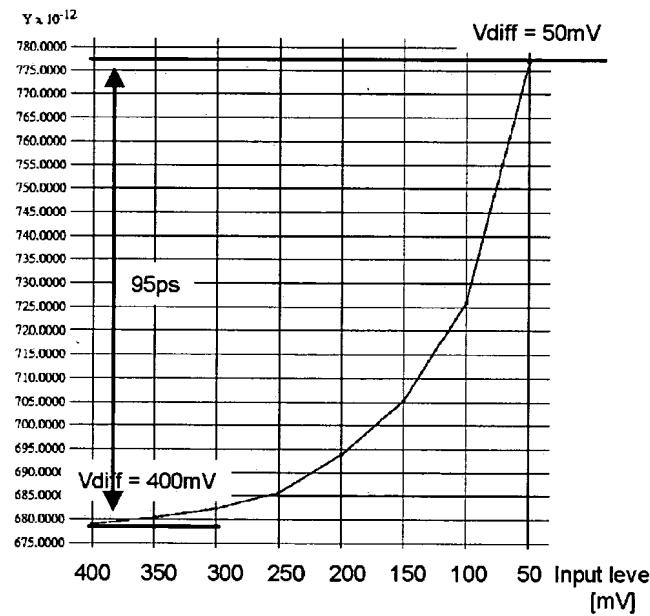
1020020087887

출력 일자: 2003/9/2

【도 10】



【도 11】

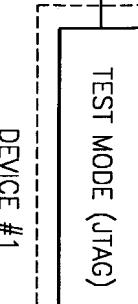


1020020087887

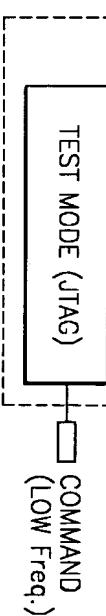
출처 일자: 2003/9/2

【12】

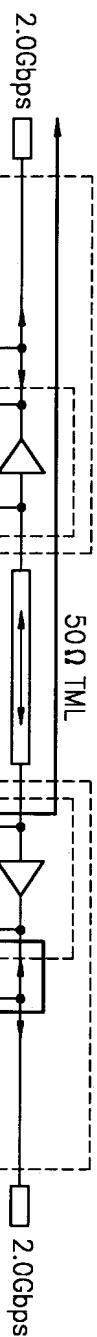
COMMAND
□
(LOW Freq.)



DEVICE #1



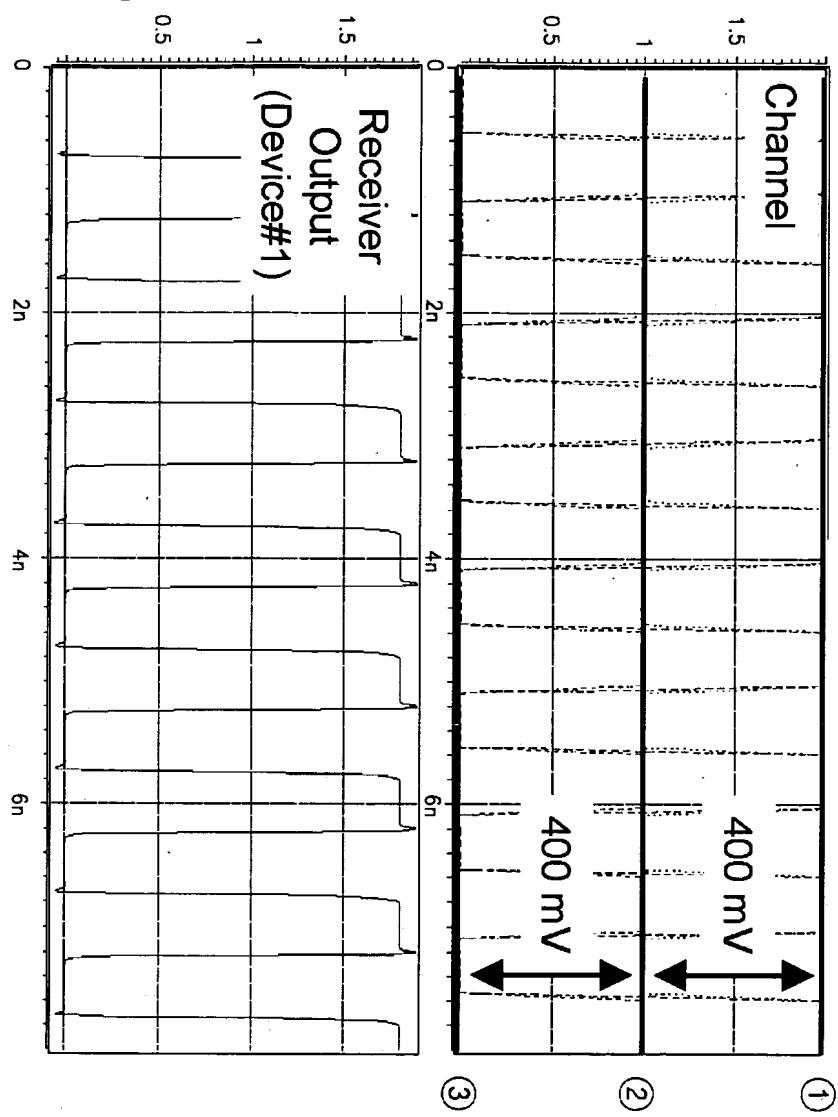
DEVICE #1



1020020087887

출력 일자: 2003/9/2

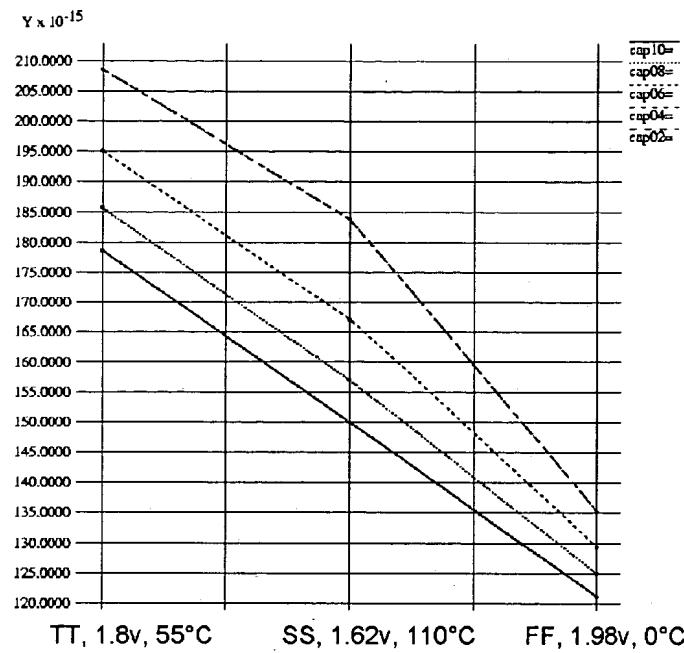
【도 13】



1020020087887

출력 일자: 2003/9/2

【도 14】



【도 15】

